

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**PAT-NO: JP411186563A**

**DOCUMENT-IDENTIFIER: JP 11186563 A**

**TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE  
THEREOF**

**PUBN-DATE: July 9, 1999**

**INVENTOR-INFORMATION:**

| <b>NAME</b>              | <b>COUNTRY</b> |
|--------------------------|----------------|
| <b>YAMAZAKI, SHUNPEI</b> | <b>N/A</b>     |
| <b>OTANI, HISASHI</b>    | <b>N/A</b>     |

**ASSIGNEE-INFORMATION:**

| <b>NAME</b>                            | <b>COUNTRY</b> |
|--|----------------|
| <b>SEMICONDUCTOR ENERGY LAB CO LTD</b> | <b>N/A</b>     |

**APPL-NO: JP10156719**

**APPL-DATE: May 21, 1998**

**INT-CL (IPC): H01L029/786, H01L021/336 , H01L021/20**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To enhance switching and high-speed characteristic by  
a method, wherein a plane direction of a channel forming region is oriented to  
a specified direction and a crystal lattice of a specified rate has continuity  
in a grain boundary.

**SOLUTION:** A catalytic element (Ni, etc.), is applied on an amorphous

**semiconductor thin film 104 to form a catalytic element containing layer 106,  
and preferably is heated at 570**

**COPYRIGHT: (C)1999,JPO**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186563

(43) 公開日 平成11年(1999) 7月9日

(51) IntCl<sup>8</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 G

21/336

21/20

21/20

29/78

6 1 8 Z

6 2 6 C

審査請求 未請求 請求項の数14 F D (全 23 頁)

(21) 出願番号 特願平10-156719

(71) 出願人 000153878

(22) 出願日 平成10年(1998) 5月21日

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(31) 優先権主張番号 特願平9-303526

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

(32) 優先日 平9 (1997) 10月17日

導体エネルギー研究所内

(33) 優先権主張国 日本 (J P)

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 高性能な電気光学装置や半導体回路、さらにはそれらを搭載した電子機器を低価格で提供する。

【解決手段】 結晶化を助長する触媒元素を利用して形成した結晶性半導体薄膜に対して、ハロゲン元素を含む雰囲気中において 700℃を超える加熱処理を施すと実質的に結晶粒界の存在しない結晶構造が得られる。本願発明では上記結晶性半導体薄膜を安価で耐熱性の高い結晶化ガラス基板上に形成することで低価格な半導体装置を提供することができる。

## 【特許請求の範囲】

【請求項1】歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性珪素膜と、

前記絶縁性珪素膜上に形成された複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜をチャネル形成領域とするTFTと、

を構成に含む半導体装置であって、

前記チャネル形成領域の面方位は概略{110}配向であり、且つ、結晶粒界において90%以上の結晶格子に連続性があることを特徴とする半導体装置。

【請求項2】歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性珪素膜と、

前記絶縁性珪素膜上に形成された複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜をチャネル形成領域とするTFTと、

を構成に含む半導体装置であって、

前記チャネル形成領域の面方位は概略{110}配向であり、且つ、結晶粒界を横切る様にして観測される格子縞の90%以上が、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする半導体装置。

【請求項3】歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性珪素膜と、

前記絶縁性珪素膜上に形成された複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜をチャネル形成領域とするTFTと、

を構成に含む半導体装置であって、

前記チャネル形成領域に垂直に電子線を照射した際に観測される電子線回折パターンは、{110}配向に特有の規則性を示すことを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3において、前記ガラス基板は結晶化ガラスであることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4において、前記ガラス基板の歪点は950～1100℃であることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項5において、前記半導体薄膜とは結晶粒界を有する珪素膜であることを特徴とする半導体装置。

【請求項7】歪点が750℃以上であるガラス基板の全面に対して非晶質半導体薄膜を形成する工程と、

第1の加熱処理により前記非晶質半導体薄膜を酸化し、完全に熱酸化膜に変成させる工程と、

前記ガラス基板の表面側に形成された熱酸化膜上に再び非晶質半導体薄膜を形成する工程と、

前記非晶質半導体薄膜上の一部又は全部に当該半導体薄膜の結晶化を助長する触媒元素を添加又は保持する工程

と、

第2の加熱処理により前記非晶質半導体薄膜の一部又は全部を結晶化させ、結晶性半導体薄膜に変成させる工程と、

前記結晶性半導体薄膜中から前記触媒元素をゲッタリングする工程と、

前記ゲッタリング工程後の結晶性半導体薄膜をパターンニングして活性層を形成し、当該活性層表面に熱酸化膜を形成する工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項8】歪点が750℃以上であるガラス基板の全面に対して減圧熱CVD法により絶縁性珪素膜を形成する工程と、

前記ガラス基板の表面側に形成された絶縁性珪素膜上に非晶質半導体薄膜を形成する工程と、

前記非晶質半導体薄膜上の一部又は全部に当該半導体薄膜の結晶化を助長する触媒元素を添加又は保持する工程と、

加熱処理により前記非晶質半導体薄膜の一部又は全部を結晶化させ、結晶性半導体薄膜に変成させる工程と、

前記結晶性半導体薄膜中から前記触媒元素をゲッタリングする工程と、

前記ゲッタリング工程後の結晶性半導体薄膜をパターンニングして活性層を形成し、当該活性層表面に熱酸化膜を形成する工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項9】請求項7または請求項8において、前記ガラス基板とは結晶化ガラスであることを特徴とする半導体装置の作製方法。

【請求項10】請求項7乃至請求項9において、前記ガラス基板の歪点は950～1100℃であることを特徴とする半導体装置の作製方法。

【請求項11】請求項7乃至請求項10において、前記非晶質半導体薄膜とは非晶質珪素膜であり、前記結晶性半導体薄膜とは結晶粒界を有する珪素膜であることを特徴とする半導体装置の作製方法。

【請求項12】請求項7乃至請求項11において、前記触媒元素をゲッタリングする工程とは、ハロゲン元素を含む雰囲気中において700℃を超える温度で行われる加熱処理であることを特徴とする半導体装置の作製方法。

【請求項13】請求項7乃至請求項12において、前記触媒元素をゲッタリングする工程は、

前記結晶性半導体薄膜の一部に対して選択的に15族から選ばれた不純物元素を添加する工程と、

前記不純物元素が添加されなかった領域中に残存する前記触媒元素を、加熱処理により前記不純物元素が添加された領域に対して移動させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項14】請求項7乃至請求項13において、前記触媒元素とはNi、Ge、Co、Fe、Pd、Pt、C

u、Au、Pbから選ばれた一種または複数種の元素であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基板上に形成された結晶性半導体薄膜を利用した半導体装置に関する。

【0002】なお、本明細書中では薄膜トランジスタ（以下、TFT）、半導体回路、電気光学装置および電子機器を全て「半導体装置」に範疇に含めて扱う。即ち、半導体特性を利用して機能しうる装置全てを半導体装置と呼ぶ。

【0003】従って、上記特許請求の範囲に記載された半導体装置は、薄膜トランジスタ等の単体素子だけでなく、それを集積化した半導体回路や電気光学装置およびそれらを部品として搭載した電子機器をも包含する。

【0004】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは特に画像表示装置（例えば液晶表示装置：LCD）のスイッチング素子としての開発が急がれている。

【0005】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（演算回路、メモリ回路、クロックジェネレータなど）等のあらゆる電気回路にTFTを応用する試みがなされている。

【0006】現状においては、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いたTFTが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶性珪素膜（ポリシリコン膜等）を利用したTFTが必要とされる。

【0007】例えば、ガラス基板上に結晶性珪素膜を形成する方法としては、本出願人による特開平7-130652号公報、特開平8-78329号公報に記載された技術が公知である。これらの公報記載の技術は、非晶質珪素膜の結晶化を助長する触媒元素を利用することにより、500～600℃、4時間程度の加熱処理によって結晶性の優れた結晶性珪素膜を形成することを可能とするものである。

【0008】特に、特開平8-78329に記載された技術は上記技術を応用して基板面とほぼ平行な結晶成長を行わすものであり、発明者らは形成された結晶化領域を特に横成長領域（またはラテラル成長領域）と呼んでいる。

【0009】しかし、この様なTFTを用いて駆動回路を構成してもまだまだ要求される性能を完全に満たすには及ばない。特に、メガヘルツからギガヘルツにかけて

の極めて高速な動作を要求する高速ロジック回路を従来のTFTで構成することは不可能なのが現状である。

【0010】

【発明が解決しようとする課題】本発明者らは、これまで結晶粒界を有する結晶性珪素膜（ポリシリコン膜と呼ばれる）の結晶性を向上させるために様々な思考錯誤を繰り返してきた。セミアモルファス半導体（特開昭57-160121号公報等）やモノドメイン半導体（特開平8-139019号公報等）などが挙げられる。

10 【0011】上記公報に記載された半導体膜に共通の概念は、結晶粒界の実質的な無害化にある。即ち、結晶粒界を実質的になくし、キャリア（電子または正孔）の移動を円滑に行わせることが最大の課題であった。

【0012】しかしながら、上記公報に記載された半導体膜をもってしてもロジック回路が要求する高速動作を行うには不十分と言える。即ち、ロジック回路を内蔵したシステム・オン・パネルを実現するためには、従来にない全く新しい材料の開発が求められているのである。

20 【0013】本願発明は、その様な要求に答えるものであり、従来のTFTでは作製不可能であった様な高速ロジック回路を構成しうる極めて高性能な半導体装置を実現することを課題とする。

【0014】

【課題を解決するための手段】本明細書で開示する発明の構成は、歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性珪素膜と、前記絶縁性珪素膜上に形成された複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜をチャネル形成領域とするTFTと、を構成を含む

30 半導体装置であって、前記チャネル形成領域の面方位は概略{110}配向であり、且つ、結晶粒界において90%以上の結晶格子に連続性があることを特徴とする。

【0015】また、他の発明の構成は、歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性珪素膜と、前記絶縁性珪素膜上に形成された複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜をチャネル形成領域とするTFTと、を構成を含む半導体装置であって、前記チャネル形成領域の面方位は概略{110}配向であり、且つ、結晶粒界を横切る様にして観測される格子線の90%以上が、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする。

40 【0016】また、他の発明の構成は、歪点が750℃以上であるガラス基板と、前記ガラス基板の少なくとも表面及び裏面に対して形成された絶縁性珪素膜と、前記絶縁性珪素膜上に形成された複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜をチャネル形成領域とするTFTと、を構成を含む半導体装置であって、前記チャネル形成領域に垂直に電子線を照射した際に観測される電子線回折パターンは、{110}配向に特有の規

5

則性を示すことを特徴とする。

【0017】また、他の発明の構成は、重点が750℃以上であるガラス基板の全面に対して非晶質半導体薄膜を形成する工程と、第1の加熱処理により前記非晶質半導体薄膜を酸化し、完全に熱酸化膜に変成させる工程と、前記ガラス基板の表面側に形成された熱酸化膜上に再び非晶質半導体薄膜を形成する工程と、前記非晶質半導体薄膜上の一部又は全部に当該半導体薄膜の結晶化を助長する触媒元素を添加又は保持する工程と、第2の加熱処理により前記非晶質半導体薄膜の一部又は全部を結晶化させ、結晶性半導体薄膜に変成させる工程と、前記結晶性半導体薄膜中から前記触媒元素をゲッタリングする工程と、前記ゲッタリング工程後の結晶性半導体薄膜をパターニングして活性層を形成し、当該活性層表面に熱酸化膜を形成する工程と、を含むことを特徴とする。

【0018】また、他の発明の構成は、重点が750℃以上であるガラス基板の全面に対して減圧熱CVD法により絶縁性珪素膜を形成する工程と、前記ガラス基板の表面側に形成された絶縁性珪素膜上に非晶質半導体薄膜を形成する工程と、前記非晶質半導体薄膜上の一部又は全部に当該半導体薄膜の結晶化を助長する触媒元素を添加又は保持する工程と、加熱処理により前記非晶質半導体薄膜の一部又は全部を結晶化させ、結晶性半導体薄膜に変成させる工程と、前記結晶性半導体薄膜中から前記触媒元素をゲッタリングする工程と、前記ゲッタリング工程後の結晶性半導体薄膜をパターニングして活性層を形成し、当該活性層表面に熱酸化膜を形成する工程と、を含むことを特徴とする。

【0019】本願発明の重要な構成要件としては、

(1) 基板として750℃以上の温度に耐えうる耐熱性を有するガラス基板（重点が750℃以上であるガラス基板）を用いる。

(2) 上記高耐熱性ガラス基板の外周面（少なくとも表面及び裏面、好ましくは全面）を絶縁性珪素膜で保護する。

(3) 絶縁性珪素膜で包まれた上記高耐熱性ガラス基板上に、結晶粒界の整合性に優れた結晶性半導体薄膜を設ける。

という3点が挙げられる。

【0020】まず、本発明者らが開発した結晶粒界の整合性に優れた結晶性半導体薄膜を形成するためには、700℃を超える加熱処理が必要となる。この形成方法についての詳細は

【発明の実施の形態】の欄で説明する。

【0021】上記理由により基板としては重点が少なくとも750℃以上である基板を用いる必要がある。そのような基板としては石英基板が一般的であるが、石英基板は高価であるため全体的なコストを上げてしまう。また、熱膨張係数が $0.48 \times 10^{-6} \text{℃}^{-1}$ であり、珪素の熱膨張係数（約 $4.15 \times 10^{-6} \text{℃}^{-1}$ ）の1/10程度と小さい。即ち、珪素

6

との間に応力を発生しやすく、加熱処理の際に珪素のピーリング（膜剥がれ）などを引き起こしやすい。

【0022】そこで、本願発明では重点が750℃以上（代表的には950～1100℃、好ましくは1000～1050℃）である耐熱性の高い結晶化ガラスを基板として用いる。結晶化ガラスは石英よりも薄くできるため、液晶モジュール等の製造コストを安く抑えられる。また、ガラス基板であるため大版化が可能であり、多面取りによるコストダウンも図れる。

【0023】さらに、熱膨張係数は結晶化ガラスを構成する成分組成を適切なものとすることで容易に変えることができる。そのため、結晶性半導体薄膜の熱膨張係数に近いものを選択するのも容易である。

【0024】本発明者らの目指すところはシステム・オン・パネルであり、安価で高性能な電子機器の実現である。その利点を生かすためには、コスト高な石英基板よりも安価な結晶化ガラスを基板として用いることの方が遙かに効果的である。

【0025】ただし、結晶化ガラスは様々な成分組成を持つため、半導体装置の製造過程における成分物質の流出が懸念される。そのため、結晶化ガラスを絶縁膜（結晶性珪素膜との相性を考慮すると絶縁性珪素膜が好ましい）で保護することが重要となる。そのためには、全プロセス過程において結晶化ガラスの少なくとも表面（素子が形成される側）及び裏面を絶縁膜で保護する必要がある。

【0026】なお、結晶化ガラスの側面は全体から見ると非常に小さい面積であるので露出していてもさほど問題とはならない。しかし、表面、側面及び裏面を絶縁膜で完全に包み込んでしまい、成分物質の流出を完全に防ぐことが最も好ましいことは言うまでもない。

【0027】ただし、絶縁膜を成膜する際の基板支持部（ブッシャーピン等）の部分には成膜されない部分ができる。しかしながら、全体の面積と比較すると非常に微小な領域なので問題とはならない。

【0028】以上の点を考慮して、本願発明者らは絶縁性珪素膜で外周面（好ましくは全面）を保護された高耐熱性ガラス基板上に、結晶粒界の整合性に優れた結晶性半導体薄膜を設ける、という本願発明の構成に至ったのである。

【0029】

【発明の実施の形態】ここでは、結晶粒界の整合性に優れた結晶性半導体薄膜を形成する所までの工程について図1を用いて説明する。まず、基板として0.5～1.1mm厚（代表的には0.7mm厚）の結晶化ガラス基板101を用意する。結晶化ガラスはガラスセラミクスとも呼ばれ、ガラス生成の段階で微小な結晶を均一に成長させて得られたガラス基板と定義される。この様な結晶化ガラスは耐熱性が高く、熱膨張係数が小さいという特徴がある。

【0030】本願発明で用いるガラス基板には750℃以上、好ましくは950～1100の歪点温度を有する高い耐熱性が要求される。現状ではその様な耐熱性を実現するガラス材料は結晶化ガラスしかないが、結晶化ガラスの定義に入らないガラス基板（例えば非晶質状態の高耐熱性ガラス基板等）であっても上記耐熱性を有する基板であれば本願発明に利用することができる。

【0031】なお、結晶化ガラスに関する詳細は「ガラスハンドブック；作花済夫 他，pp.197～217，朝倉書店，1975」を参考にすると良い。

【0032】結晶化ガラスの種類も様々であるが、基本的には石英（SiO<sub>2</sub>）、アルミナ（Al<sub>2</sub>O<sub>3</sub>）を中心としたアルミノケイ酸塩ガラス、ホウケイ酸塩ガラス（B<sub>2</sub>O<sub>3</sub>が含まれる）などが実用的と言える。しかしながら、半導\*

| ガラス組成 (wt%)      |                                |       |                  | 熱膨張係数<br>×10 <sup>-6</sup> (°C) <sup>-1</sup> |
|------------------|--------------------------------|-------|------------------|---|
| SiO <sub>2</sub> | Al <sub>2</sub> O <sub>3</sub> | MgO   | TiO <sub>2</sub> |   |
| 40～60            | 20～30                          | 13～14 | 9～13             | 1.5～6.5                                       |

【0035】熱膨張係数は小さいほど熱によるシュリンケージ（熱による縮み）の影響が小さくなるため、微細パターン加工を行う半導体用基板としては好ましい。しかし、半導体薄膜の熱膨張係数との差が大きいと膜剥がれなどを起こしやすくなるため、なるべく半導体薄膜の熱膨張係数に近いものを用いることが望ましい。この様なことを考慮すると、SiO<sub>2</sub>が45～57%、Al<sub>2</sub>O<sub>3</sub>が20～27%、MgOが11～18%、TiO<sub>2</sub>が9～12%のコージュライト系結晶化ガラスが好ましいと言える。

※30

| ガラス組成 (wt%)      |                                |      |     |                  | 熱膨張係数<br>×10 <sup>-6</sup> (°C) <sup>-1</sup> |
|------------------|--------------------------------|------|-----|------------------|---|
| SiO <sub>2</sub> | Al <sub>2</sub> O <sub>3</sub> | MgO  | ZnO | ZrO <sub>2</sub> |   |
| 64～75            | 16～25                          | 3～10 | 0～7 | 3～10             | 1.1～3.0                                       |

【0038】本願発明の構成要件の第1は、以上の様な結晶化ガラスを基板として用いることである。勿論、適切な工夫（本願発明の様に絶縁膜で完全に保護する等）を施せばアルカリ系結晶化ガラス（Na<sub>2</sub>O-Al<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系、Li<sub>2</sub>O-Al<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系等）を用いることもできる。また、熱膨張係数が非常に小さい（またはゼロに近い）結晶化ガラスでも、2.0～3.0 ×10<sup>-6</sup>°Cの熱膨張係数を有するガラスをコーティングして、半導体薄膜との熱膨張係数の差を緩和することも可能である。

【0039】以上の様な構成の結晶化ガラス101を用意したら、結晶化ガラス101に対して非晶質珪素膜102を成膜する。成膜は減圧熱CVD法で行い、成膜ガスとしてはシラン（SiH<sub>4</sub>）又はジシラン（Si<sub>2</sub>H<sub>6</sub>）を用いる。なお、膜厚は50～250nm（代表的には100～150nm★50

\*体装置用の基板として用いることを考慮すれば無アルカリガラスであることが望ましく、そういった意味で、MgO-Al<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系、PbO-ZnO-B<sub>2</sub>O<sub>3</sub>系、Al<sub>2</sub>O<sub>3</sub>-B<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系、ZnO-B<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系などが好ましい。

【0033】MgO-Al<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系の高純結晶化ガラスは、核形成剤として、TiO<sub>2</sub>、SnO<sub>2</sub>、ZrO<sub>2</sub>などを含み、コージュライト（2MgO・2Al<sub>2</sub>O<sub>3</sub>・5SiO<sub>2</sub>）を主結晶相とする結晶化ガラスである。このタイプの結晶化ガラスは耐熱性が高く、電気絶縁性が高周波域でも優れている点に特徴がある。コージュライト系結晶化ガラスの組成例及び熱膨張係数を表1に示す。

【0034】

【表1】

※【0036】また、例えば透過型LCDを作製する場合には結晶化ガラスには透光性が要求される。その様な場合には無アルカリの透明結晶化ガラスを用いると良い。例えば、結晶相が充填β-石英固溶体で、熱膨張係数が1.1～3.0 ×10<sup>-6</sup>°Cの結晶化ガラスとして、表2に示す様な結晶化ガラスがある。

【0037】

【表2】

★■)とすれば良い。(図1(A))

【0040】この様に減圧熱CVD法で成膜すると基板101を包み込む様にして表面、裏面及び側面に対して非晶質珪素膜102を成膜することができる。なお、厳密には基板を保持するためのプッシャーピンが接する部分に非晶質珪素膜102は成膜されない。しかし、全体の面積から見れば微々たるものである。

【0041】次に、加熱処理を行い、非晶質珪素膜102を完全に熱酸化することで熱酸化膜103を形成する。この場合、非晶質珪素膜102は完全に熱酸化して熱酸化膜103に変化するため、熱酸化膜103の膜厚は100～500nm（代表的には200～300nm）となる。

【0042】また、加熱処理の条件は公知のドライO<sub>2</sub>酸化、ウェットO<sub>2</sub>酸化、スチーム酸化、パイロジェニ



ック酸化、酸素分圧酸化、塩酸(HCl)酸化のいずれの手段によっても構わない。処理温度及び処理時間はプロセスを考慮した上で適切な条件を設定すれば良い。

【0043】なお、この加熱処理は結晶化ガラスの歪点以上、徐冷点以下の温度で行い、その温度で保持した後、徐冷するといった処理を行うことが好ましい。この様な処理を行うと熱酸化膜の形成と同時にガラスのシュリンケージ対策を行うことができる。即ち、上述の処理によって予め基板を十分に縮ませておくことでその後の加熱処理による基板のシュリンケージ量を低減することができる。これに関連した技術は特開平8-250744号公報に記載されている。

【0044】以上の様にして、熱酸化膜(酸化珪素膜)103が形成されるが、前述の様に非晶質珪素膜102は基板101を包み込む様にして形成されているので、熱酸化膜103も基板101を包み込む様にして形成される。即ち、結晶化ガラス基板101は完全に絶縁性珪素膜で包まれるので、成分物質の流出を防止することが可能となる。

【0045】なお、ここでは $\text{Si}_x\text{O}_y$ で表される酸化珪素膜を絶縁性珪素膜として用いているが、他にも $\text{Si}_x\text{N}_y$ で表される窒化珪素膜や $\text{SiO}_x\text{N}_y$ で表される酸化窒化珪素膜などの絶縁性珪素膜を用いることも可能である。

【0046】こうして、本願発明の重要な構成のうちの二つ、結晶化ガラスを用いる点と結晶化ガラスを絶縁性珪素膜で包み込む点とが達成される。

【0047】次に、結晶粒界の整合性に優れた結晶性半導体薄膜を形成するための技術について説明する。図1(B)に示す状態が得られたら、非晶質半導体薄膜104を減圧熱CVD法、プラズマCVD法またはスパッタ法により形成する。

【0048】ただし、減圧熱CVD法で成膜した場合には裏面及び側面に成膜された膜を後の結晶化工程を行う前に除去しておくことが好ましい。本発明者らの経験では、裏面や側面に非晶質半導体薄膜を残したまま結晶化工程を行うと結晶状態が悪化する様である(原因は不明)。

【0049】なお、非晶質半導体薄膜104としては代表的には非晶質珪素膜を用いれば良い。この他、半導体薄膜として $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ )で示される珪素とゲルマニウムの化合物を利用することも可能である。非晶質半導体薄膜104の膜厚は25~100nm(好ましくは30~60nm)とする。

【0050】なお、成膜中に混入する炭素、酸素、窒素等の不純物は後の結晶化を阻害する恐れがあるので徹底的に低減することが好ましい。具体的には炭素及び窒素の濃度はいずれも $5 \times 10^{18} \text{atoms/cm}^3$ 未満(代表的には $5 \times 10^{17} \text{atoms/cm}^3$ 以下)とし、酸素の濃度は $1.5 \times 10^{19} \text{atoms/cm}^3$ 未満(代表的には $1 \times 10^{18} \text{atoms/cm}^3$ 以下)とするのが望ましい。成膜時に上記濃度としてお

けば、完成したTFETにおける上記不純物の濃度も上述の範囲に収まる。

【0051】なお、成膜時にTFETのしきい値電圧( $V_{th}$ )を制御するための不純物元素(13族元素、代表的にはボロン又は15族元素、代表的にはリン)を添加することは有効である。添加量は上記 $V_{th}$ 制御用不純物を添加しない場合の $V_{th}$ を鑑みて決定する必要がある。

【0052】次に、非晶質半導体薄膜104の結晶化工程を行う。結晶化の手段としては本発明者らによる特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本願発明では実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0053】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜105を形成する。そして、非晶質半導体薄膜104の結晶化を助長する触媒元素を含有した溶液をスピンコート法により塗布し、触媒元素含有層106を形成する。(図1(C))

【0054】なお、触媒元素としてはニッケル(Ni)、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマニウム(Ge)、鉛(Pb)から選ばれた一種または複数種の元素を用いることができる。特に、珪素との格子の整合性に優れたニッケルを用いることが好ましい。

【0055】また、上記触媒元素の添加工程はスピンコート法に限らず、マスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0056】次に、触媒元素の添加工程が終了したら、500℃2時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500~700℃(代表的には550~650℃、好ましくは570℃)の温度で4~24時間の加熱処理を加えて非晶質半導体薄膜104の結晶化を行う。(図1(D))

【0057】この時、非晶質半導体薄膜104の結晶化は触媒元素を添加した領域で発生した核から優先的に進行し、基板101の基板面に対してほぼ平行に成長した結晶領域107が形成される。本発明者らはこの結晶領域107を横成長領域と呼んでいる。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。(図1(D))

【0058】結晶化のための加熱処理が終了したら、マスク絶縁膜105を除去した後、触媒元素を除去するための加熱処理(触媒元素のゲッタリング工程)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0059】なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800～1000℃（代表的には950℃）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0060】代表的には酸素雰囲気に対して塩化水素（HCl）を0.5～10体積％（好ましくは3体積％）の濃度で含有させ、950℃、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、横成長領域107の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0061】また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲン元素を含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0062】この工程においては横成長領域107中の触媒元素が塩素の作用によりゲッターリングされ、揮発性の塩化物となって大気中へ離脱して除去される。そして、この工程後の横成長領域108中における触媒元素の濃度は $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下（代表的には $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下）にまで低減される。

【0063】こうして得られた横成長領域108は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴について示す。

【0064】〔活性層の結晶構造に関する知見〕上記作製工程に従って形成した横成長領域を用いたTFTの活性層は、微視的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0065】ここで、棒状または偏平棒状結晶同士の結晶粒界を800万倍に拡大したHR-TEM写真を図10に示す。なお、本明細書中において結晶粒界とは、棒状または偏平棒状結晶が接した境界に形成される粒界を指すものと定義する。従って、例えば横成長領域がぶつかりあって形成される様なマクロな意味あいの粒界とは区別して考える。

【0066】ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。

【0067】HR-TEMでは結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。なお、格子縞は白と黒の縞模様となって現れるが、コントラストの相違であって

原子の位置を示すものではない。

【0068】図10（A）は本願発明で得られる結晶性珪素膜の代表的なTEM写真であり、異なる二つの結晶粒が写真左上から右下にかけて見られる結晶粒界で接した状態が観察されている。この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であった。

【0069】なお、後述するが複数の結晶粒を調べた結果、殆ど全てが概略{110}配向であることをX線回折や電子線回折によって確認している。なお、多数観察した中には（011）面や（200）面などもあるはずだが、それら等価な面はまとめて{110}面と表すことにする。

【0070】ところで、図10（A）に図示した様に、面内には{111}面、{100}面に対応する格子縞が観察されている。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的に格子縞と格子縞の間隔から確認できる。

【0071】なお、図10（A）において格子縞の見え方に差が見られるのは、結晶粒の微妙な傾きの違いによるものである。即ち、片方の結晶粒の結晶面に垂直に電子線が照射される様に設定すると、他方の結晶粒は僅かに斜めから電子線が照射される状態になるため、格子縞の見え方が変わるのである。

【0072】ここで{111}面に対応する格子縞に注目する。図10（A）において粒界を挟んで上側の結晶粒の{111}面に対応する格子縞は、下側の結晶粒の{111}面に対応する格子縞と約70°（正確には70.5°）の角度をなして交わっている。

【0073】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0074】なお、参考までに従来の高温ポリシリコン膜のHR-TEM写真を図10（B）に示す。図10（B）の場合、後述するが結晶面に規則性がなく、{110}面が主体となる配向ではなかった。ただし、ここでは図10（A）と比較するために{111}面に対応する格子縞が現れる様な結晶粒を観察した。

【0075】図10（B）を詳細に観察して見ると、図中において矢印で示す様に、結晶粒界では格子縞が途切れた部分が多数確認できる。この様な部分では未結合手（結晶欠陥と呼べる）が存在することになる、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0076】ただし、確かに本願発明の半導体薄膜にも

13

図10(B)に示した様な未結合手は存在する。これは本願発明の半導体薄膜が多結晶である以上しかたのないことである。しかしながら、本願発明の半導体薄膜を広範囲に渡って詳細にTEM観察した結果、その様な未結合手はごく僅かであることが判明している。

【0077】本出願人は、本願発明で用いる半導体薄膜の様に格子綫が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の高温ポリシリコン膜に多く見られる様に格子綫が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手(又は不對結合手又は未結合手)と呼ぶ。

【0078】本願発明で用いる半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本出願人の調べでは、全体の結合手に対する不整合結合手の存在割合は10%以下(好ましくは5%以下、さらに好ましくは3%以下)であった。即ち、全体の結合手の90%以上(好ましくは95%以上、さらに好ましくは97%以上)が整合結合手によって構成されている。

【0079】この事からも本願発明の結晶性珪素膜は従\*  
[220] 配向存在比=1(一定)

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } [220] \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } [220] \text{ に対する相対強度}}$$

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } [220] \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } [220] \text{ に対する相対強度}}$$

$$[220] \text{ 配向比率} =$$

$$[220] \text{ 配向存在比}$$

$$[220] \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}$$

【0084】本願発明の半導体薄膜の配向性をX線回折で調べた結果、X線回折パターンには(220)面に相当するピークが現れた。その結果を図11に示す。勿論、(220)は{110}と等価であることは言うまでもない。この測定の結果、{110}面が主たる配向面であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

【0085】一方、図2(B)に示す従来の高温ポリシリコン膜の場合、回折スポットには明瞭な規則性が見られず、ほぼランダムに配向している、換言すれば{110}面以外の面方位の結晶粒が不規則に混在することが判明した。

14

\* 来の高温ポリシリコンとは明らかに異なる半導体膜であると言えよう。

【0080】次に、本願発明の半導体薄膜を電子線回折によって調べた結果を図2(A)に示す。また、リファレンスとして従来の高温ポリシリコン膜の電子線回折パターンを図2(B)に示す。なお、図2(A)、(B)において電子線の照射エリアの径はそれぞれ4.25μm、1.35μmである。本実施例では複数箇所を測定したうちの代表的な写真を示す。

10 【0081】図2(A)の場合、〈110〉入射に対応する回折スポット(回折斑点)が比較的にきれいに現れており、電子線の照射エリア内では殆ど全ての結晶粒が{110}配向していることが確認できる。

【0082】なお、本出願人は特開平7-321339号公報に記載した手法に従ってX線回折を行い、本願発明の半導体薄膜について配向比率を算出した。同公報では下記数1に示す様な算出方法で配向比率を定義している。

【0083】

20 【数1】

※【0086】なお、各回折スポットは同心円上の広がり40を僅かにもっているが、これは個々の結晶粒が結晶軸まわりにある程度の回転角をもって隣接しているためと予想される。即ち、単結晶ならば完全に円形の回折スポットが得られるはずであるが、本願発明で用いる半導体薄膜は多結晶であるが故に、回折スポットのゆらぎを生じるのである。

【0087】しかしながら、回折スポットが円形に近いという事は複数の結晶粒間に存在する回転角が非常に小さいことを意味する。従って、回折スポットが極めて円形に近い本願発明の半導体薄膜は実質的に単結晶に近いことに他ならない。

【0088】以上の様に、図1に示した作製工程で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造（正確には結晶粒界の構造）を有する半導体薄膜である。本出願人はこのような結晶構造を有する半導体薄膜を連続粒界結晶シリコン（Continuous Grain Silicon: CGS）呼んでいる。従って、本願発明で利用するTFTの活性層は、このような特異な結晶構造を有するCGS膜で形成される。

【0089】なお、CGS膜を形成するにあたって結晶化に要した温度以上の温度でのアニール工程（ここでは図1（E）に示す工程）は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

【0090】図12（A）は図5（C）に示した結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0091】このような欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図12（A）は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約70°の角をなして折れ曲がっていることから推測できる。

【0092】一方、図12（B）に示す様に、同倍率で見た本発明の結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0093】即ち、図12（B）に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0094】この様に、図12（A）と（B）の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。本発明の結晶シリコン膜が図12（A）に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0095】本出願人は、図1（E）の工程によって起こる現象について次の様なモデルを考えている。まず、図12（A）に示す状態では結晶粒内の欠陥（主として積層欠陥）には触媒元素（代表的にはニッケル）が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0096】しかしながら、触媒元素のゲッターリングプロセスを行うことで欠陥に存在するNiが除去されると、

Si-Ni 結合は切れる。そのため、シリコンの余った結合手はすぐにSi-Si 結合を形成して安定する。こうして欠陥が消滅する。

【0097】勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、本発明ではニッケルとの結合が切れて未結合手が多く発生するためシリコンの再結合がさらにスムーズに行われると推測できる。

【0098】また、同時に結晶シリコン膜が熱酸化される際に発生する余剰シリコン原子が欠陥へと移動し、Si-Si 結合の生成に大きく寄与していると考えられる。この概念はいわゆる高温ポリシリコン膜の結晶粒内に欠陥が少ない理由として知られている。

【0099】また、本出願人は結晶化温度を超える温度（代表的には700~1100℃）で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルを考えている。

【0100】結晶シリコン膜と下地膜となる酸化珪素膜とでは、熱膨張係数に10倍近くの差がある。従って、非晶質シリコン膜から結晶シリコン膜に変成した段階（図12（A））では、結晶シリコン膜が冷却される時に非常に大きな応力が結晶シリコン膜にかかる。

【0101】この事について、図13を用いて説明する。図13（A）は結晶化工程後の結晶シリコン膜にかかる熱履歴を示している。まず、温度（ $t_1$ ）で結晶化された結晶シリコン膜は冷却期間（a）を経て室温まで冷やされる。

【0102】ここで図13（B）に示すのは冷却期間（a）にある時の結晶シリコン膜であり、10は石英基板、11は結晶シリコン膜である。この時、結晶シリコン膜11と石英基板10との界面12における密着性はあまり高くなく、それが原因となって多数の粒内欠陥が発生していると考えられる。

【0103】即ち、熱膨張係数の差によって引っ張られた結晶シリコン膜11は石英基板10上で非常に動きやすく、引っ張り応力などの力によって積層欠陥や転位などの欠陥13を容易に生じてしまうと考えられる。

【0104】こうして得られた結晶シリコン膜が図12（A）に示した様な状態となるのである。そしてその後、図13（A）に示す様に温度（ $t_2$ ）で触媒元素のゲッターリング工程が施され、その結果、結晶シリコン膜中の欠陥が前述の理由によって消滅する。

【0105】ここで重要なことは触媒元素のゲッターリング工程が行われると同時に結晶シリコン膜石英基板に固着され、石英基板との密着性が高まる点である。即ち、このゲッターリング工程は結晶シリコン膜と石英基板（下地）との固着工程を兼ねていると考えられる。

【0106】こうしてゲッターリング+固着工程を終了すると冷却期間（b）を経て室温まで冷やされる。ここで結晶化工程の後の冷却期間（a）と異なる点は、石英基

10

20

30

40

50

17

板10とアニール後の結晶シリコン膜14との界面15が非常に密着性の高い状態となっている点である。(図13(C))

【0107】この様に密着性が高いと石英基板10に対して結晶シリコン膜14が完全に固着されるので、結晶シリコン膜の冷却段階において結晶シリコン膜に応力が加わっても欠陥を発生するには至らない。即ち、再び欠陥が発生する様なことを防ぐことができる。

【0108】なお、図13(A)では結晶化工程後に室温まで下げるプロセスを例にとっているが、結晶化が終了したらそのまま温度を上げてゲッターリング+固着工程を行うこともできる。その様なプロセスを経ても本発明の結晶シリコン膜を得ることは可能である。

【0109】こうして得られた本発明の結晶シリコン膜(図12(B))は、単に結晶化を行っただけの結晶シリコン膜(図12(A))に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0110】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では本発明の結晶シリコン膜のスピン密度は少なくとも  $5 \times 10^{17}$  spins/cm<sup>3</sup> 以下(好ましくは  $3 \times 10^{17}$  spins/cm<sup>3</sup> 以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0111】(TFTの電気特性に関する知見) 上述のCGSを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFTからは次に示す様なデータが得られている。

【0112】(1) TFTのスイッチング性能(オン/オフ動作の切り換えの俊敏性)の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60~100mV/decade(代表的には60~85mV/decade)と小さい。

(2) TFTの動作速度の指標となる電界効果移動度( $\mu_{FE}$ )が、Nチャネル型TFTで200~650cm<sup>2</sup>/Vs(代表的には250~300cm<sup>2</sup>/Vs)、Pチャネル型TFTで100~300cm<sup>2</sup>/Vs(代表的には150~200cm<sup>2</sup>/Vs)と大きい。

(3) TFTの駆動電圧の指標となるしきい値電圧( $V_{th}$ )が、Nチャネル型TFTで-0.5~1.5V、Pチャネル型TFTで-1.5~0.5Vと小さい。

【0113】以上の様に、極めて優れたスイッチング特性および高速度動作特性が実現可能であることが確認されている。

【0114】(回路特性に関する知見) 次に、CGS膜を利用して作製したTFTを用いたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した

18

回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数: 9段

TFTのゲイト絶縁膜の膜厚: 30nm及び50nm

TFTのゲイト長: 0.6 $\mu$ m

【0115】このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 $\mu$ m、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0116】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本発明のTFTが単結晶シリコンを利用したIGFETに匹敵する、若しくは凌駕する性能を有していることを示している。

【0117】(TFT特性とCGSの関係に関する知見) 上述の様な優れたTFT特性及び回路特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有するCGS膜を利用している点によるところが大きい。その理由について以下に考察する。

【0118】結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、

「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0119】上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠陥、{221}双晶粒界、{221}twist 粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0120】特に{111}双晶粒界は $\Sigma 3$ の対応粒界、{221}双晶粒界は $\Sigma 9$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指標となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0121】本出願人が本願発明の半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、即ち{111}双晶粒界であることが判明した。

【0122】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子線がなす角を $\theta$ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られて

いる。

【0123】従って、図10(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子線が約70°の角度で連続しており、この結晶粒界は{111}双晶粒界であると容易に推察することができる。

【0124】なお、 $\theta = 38.9^\circ$ の時にはΣ9の対応粒界となるが、この様な他の結晶粒界も存在した。

【0125】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本願発明の半導体薄膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0126】ここで、本願発明の半導体薄膜を1万5千倍に拡大したTEM写真(暗視野像)を図14(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0127】図14(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0128】他方、従来の高温ポリシリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図14(B)に示す。従来の高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図14(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0129】なお、本出願人は図10(A)に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFTを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

【0130】以上の構成からなる本願発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0131】

【実施例】〔実施例1〕本実施例では、本願発明の構成を有する半導体装置の作製工程について図3を用いて説明する。具体的にはNTFT(Nチャネル型TFT)とPTFT(Pチャネル型TFT)とを相補的に組み合わせたCMOS回路で構成される駆動回路及びロジック回路と、NTFTで構成される画素マトリクス回路とを同一基板上に一体形成する例を示す。

【0132】なお、ロジック回路とは、シフトレジスタなどに代表される駆動回路とは別の機能を有する信号処理回路であり、D/Aコンバータ回路、メモリ回路、γ

補正回路、さらには演算処理回路など、従来外付けICで行っていた様な信号処理を行う回路の総称を意味する。

【0133】まず、図1を用いて説明した作製工程に従って、触媒元素のゲッタリング工程までを終了させる。そして、横成長領域のみから構成される活性層303~305を形成する。303はCMOS回路のPTFTの活性層、304はCMOS回路のNTFTの活性層、305は画素マトリクス回路の活性層であり、それぞれの膜厚は30nmとなる様に調節してある。

【0134】なお、本実施例では基板301としてSiO<sub>2</sub>:65%、Al<sub>2</sub>O<sub>3</sub>:25%、MgO:10%、ZrO<sub>2</sub>:10%の組成を有する結晶化ガラスを用いる。この基板301は透明である点に特徴がある。また、302は非晶質珪素膜を熱酸化させて得た酸化珪素膜であり、膜厚は400nmである。

【0135】こうして図3(A)の状態が得られる。次に、酸化珪素膜から構成されるゲイト絶縁膜306を120nmの膜厚に形成する。なお、他にも酸化窒化珪素膜又は窒化珪素膜を用いることができる。さらに、これら絶縁性珪素膜を自由に組み合わせて積層構造としても良い。

【0136】ゲイト絶縁膜306を形成したら、その状態で800~1000℃(好ましくは900~950℃)の温度範囲で熱酸化工程を行う。この時、活性層とゲイト絶縁膜との界面で熱酸化反応が進行するため、活性層は薄膜化され、ゲイト絶縁膜の膜厚は増加する。この構成はエッジシニング現象(活性層端部で熱酸化膜が極端に薄くなる現象)によるゲイト絶縁膜の絶縁破壊を抑える上で効果的である。

【0137】また、この時、加熱処理の雰囲気は酸化雰囲気でも良いが、ハロゲン元素(代表的には塩化水素)を含む雰囲気で行うとさらに効果的である。なぜならば塩化水素が分解して生成する塩素(C1)は、活性層とゲイト絶縁膜との間の界面準位を低減する効果を有すると考えられるからである。

【0138】また、800~1000℃の温度範囲で加熱処理を行うことによりゲイト絶縁膜自体の膜質も向上する。

【0139】次に、ゲイト絶縁膜306の上にN型導電性を呈する結晶性珪素膜からなるゲイト電極307~309を形成する。ゲイト電極307~309の膜厚は200~300nmの範囲で選択すれば良い。(図3(B))

【0140】ゲイト電極307~309を形成したら、ゲイト電極307~309をマスクとしてドライエッチング法によりゲイト絶縁膜306をエッチングする。本実施例では酸化珪素膜をエッチングするためにCHF<sub>3</sub>ガスを用いる。

【0141】この工程によりゲイト電極(及びゲイト配線)の直下のみにゲイト絶縁膜が残存する状態となる。勿論、ゲイト電極の下に残った部分が実際にゲイト絶縁膜として機能する部分である。

10

20

30

40

50



## 21

【0142】次に、PTFTとなる領域をレジストマスク310で隠し、N型を付与する不純物（本実施例ではリン）をイオンインプランテーション法またはプラズマドーピング法により添加する。この時形成される低濃度不純物領域311、312の一部は後にLDD (Lightly Doped Drain) 領域となるので、 $1 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup> の濃度でリンを添加しておく。（図3 (C)）

【0143】次に、レジストマスク310を除去した後、NTFTとなる領域をレジストマスク313で隠し、P型を付与する不純物（本実施例ではボロン）をイオンインプランテーション法またはプラズマドーピング法により添加する。この時も、リンの場合と同様に低濃度不純物領域314を形成する。（図3 (D)）

【0144】こうして図3 (D) の状態が得られたら、レジストマスク313を除去した後、エッチバック法を用いてサイドウォール315～317を形成する。本実施例ではサイドウォール315～317を窒化珪素膜を用いて構成する。

【0145】なお、サイドウォールの材料として酸化珪素膜を用いる場合、結晶化ガラス301の側面を保護する酸化珪素膜302の膜厚が薄いとエッチバック工程でなくなってしまう場合も起こりうる。ガラス側面は全体の面積よりも十分に小さいためガラス成分の流出はさほど問題とならないが、予め酸化珪素膜302の膜厚を厚くしてエッチバック工程後も残る様にしておくことは有効である。

【0146】こうしてサイドウォール315～317を形成したら、再びPTFTとなる領域をレジストマスク318で隠し、リンを添加する。この時は先程の添加工程よりもドーズ量を高くする。

【0147】このリンの添加工程によりCMOS回路を構成するNTFTのソース領域319、ドレイン領域320、低濃度不純物領域（LDD領域）321、チャネル形成領域322が画定する。また、画素マトリクス回路を構成するNTFTのソース領域323、ドレイン領域324、低濃度不純物領域（LDD領域）325、チャネル形成領域326が画定する。（図4 (A)）

【0148】次に、レジストマスク315を除去した後、レジストマスク327でNTFTとなる領域を隠し、ボロンを先程よりも高いドーズ量で添加する。このボロンの添加工程によりCMOS回路を構成するPTFTのソース領域328、ドレイン領域329、低濃度不純物領域（LDD領域）330、チャネル形成領域331が画定する。（図4 (B)）

【0149】以上の様にして、活性層への不純物の添加工程が終了したら、ファーンズアニール、レーザーアニールまたはランプアニールによって熱処理を行い、添加した不純物の活性化を行う。また、この時、不純物の添加時に活性層が受けた損傷も回復される。

## 22

【0150】なお、チャネル形成領域322、326、331は全く不純物元素が添加されず、真性または実質的に真性な領域である。ここで実質的に真性であるとは、N型又はP型を付与する不純物濃度がチャネル形成領域のスピン密度以下であること、或いは同不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17}$  atoms/cm<sup>3</sup> の範囲に収まっていることを指す。

【0151】次に、25nm厚の窒化珪素膜と900nm厚の酸化珪素膜との積層膜からなる第1の層間絶縁膜332を形成する。そして、Ti/Al/Ti（膜厚は順に100/500/100nm）からなる積層膜で構成されるソース電極333～335、ドレイン電極336、337を形成する。

【0152】次に、50nm厚の窒化珪素膜338、20nm厚の酸化珪素膜（図示せず）、1μm厚のポリイミド膜339の積層構造からなる第2の層間絶縁膜を形成する。なお、ポリイミド以外にもアクリル、ポリアミド等の他の有機性樹脂膜を用いることができる。また、この場合の20nm厚の酸化珪素膜はポリイミド膜339をドライエッチングする際のエッチングストッパーとして機能する。

【0153】第2の層間絶縁膜を形成したら、後に補助容量を形成する領域においてポリイミド膜339をエッチングして開口部を設ける。この時、開口部の底部には窒化珪素膜338のみ残すか、窒化珪素膜338と酸化珪素膜（図示せず）を残すかのいずれかの状態とする。

【0154】そして、300nm厚のチタン膜を成膜し、パターニングによりブラックマスク340を形成する。このブラックマスク340は画素マトリクス回路上において、TFTや配線部など遮光を要する部分に配置される。

【0155】この時、前述の開口部では画素マトリクス回路のドレイン電極337とブラックマスク340とが窒化珪素膜338（又は窒化珪素膜と酸化珪素膜との積層膜）を挟んで近接した状態となる。本実施例ではブラックマスク340を固定電位に保持して、ドレイン電極337を下部電極、ブラックマスク340を上部電極とする補助容量341を構成する。この場合、誘電体が非常に薄く比誘電率が高いため、大きな容量を確保することが可能である。

【0156】こうしてブラックマスク340及び補助容量341を形成したら、1μm厚のポリイミド膜を形成して第3の層間絶縁膜342とする。そして、コンタクトホールを形成して透明導電膜（代表的にはITO）で構成される画素電極343を120nmの厚さに形成する。

【0157】最後に、水素雰囲気中で350℃2時間程度の加熱処理を行い、素子全体の水素化を行う。こうして図4 (C) に示す様なアクティブマトリクス基板が完成する。後は、公知のセル組み工程によって対向基板との間に液晶層を挟持すればアクティブマトリクス型の液晶表示装置（透過型）が完成する。

【0158】なお、アクティブマトリクス基板の構造は本実施例に限定されず、あらゆる構造とすることができる。即ち、本願発明の構成要件を満たしうる構造であれば、TFT構造や回路配置等は実施者が自由に設計することができる。

【0159】例えば、本実施例では画素電極として透明導電膜を用いているが、これをアルミニウム合金膜など反射性の高い材料に変えれば容易に反射型のアクティブマトリクス型液晶表示装置を実現することができる。また、この場合、アクティブマトリクス基板の母体となる結晶化ガラスは透明である必要はなく、遮光性の基板を用いても構わない。

【0160】〔実施例2〕本実施例では実施例1の構成において結晶化ガラスを保護するための絶縁性珪素膜を減圧熱CVD法により形成する場合の例について説明する。

【0161】まず、基板として $\text{SiO}_2$ : 52.5、 $\text{Al}_2\text{O}_3$ : 26.5、 $\text{MgO}$ : 11.9、 $\text{TiO}_2$ : 11.4 を組成成分とする結晶化ガラスを用意する。これは核形成剤として $\text{TiO}_2$ を利用した無アルカリのコージュライド系結晶化ガラスである。

【0162】次に、結晶化ガラスの表面、裏面及び側面に対して酸化窒化珪素膜を形成する。本実施例では成膜ガスとしてシラン( $\text{SiH}_4$ )と亜酸化窒素( $\text{N}_2\text{O}$ )を用いた減圧熱CVD法により酸化窒化珪素膜を形成する。

【0163】この場合、成膜温度は800~850℃(本実施例では850℃)で行い、それぞれの成膜ガスの流量は $\text{SiH}_4$ : 10~30sccm、 $\text{N}_2\text{O}$ : 300~900sccmとする。また、反応圧力は0.5~1.0torrとすれば良い。

【0164】また、成膜ガスとしてシランと二酸化窒素( $\text{N}_2\text{O}$ )又は一酸化窒素( $\text{NO}$ )を用いれば600~650℃の温度で酸化窒化珪素膜を形成することもできる。その場合、反応圧力は0.1~1.0torrとし、それぞれのガス流量は $\text{SiH}_4$ : 10~30sccm、 $\text{NO}$ 又は $\text{N}_2\text{O}$ : 300~900sccmとすれば良い。

【0165】本実施例の場合、減圧熱CVD法により酸化窒化珪素膜を形成するため、結晶化ガラスの全面が絶縁膜で包まれる形となる。また、結晶化ガラスの歪点が850℃以下であればシュリンケージ対策も成膜と同時に行うことが可能である。

【0166】また、成膜ガスを異なるものとする事で結晶化ガラスの保護膜として窒化珪素膜を形成することもできる。その場合、成膜ガスとして40~50sccmのジクロールシラン( $\text{SiH}_2\text{Cl}_2$ )と200~250sccmのアモンニア( $\text{NH}_3$ )とを用い、成膜温度を750~800℃、反応圧力を0.1~0.5torrとすれば良い。

【0167】窒化珪素膜はガラス成分の流出を阻止するには最適な絶縁膜であるが応力が強いのでTFTの下地膜としては不向きであった。しかしながら、本願発明では結晶化ガラスの少なくとも表面及び裏面に窒化珪素膜が形成されるので窒化珪素膜の応力が基板の裏表で相殺

され、基板の反り等は発生しない。

【0168】〔実施例3〕本実施例では、実施例1または実施例2においてゲイト絶縁膜として減圧熱CVD法により成膜した絶縁性珪素膜を用いる場合の例を示す。説明には図5を用いる。図5に示す状態は、ゲイト電極を形成した後にゲイト絶縁膜をエッチングした直後の状態である。

【0169】図5において、501は結晶化ガラス、502は結晶化ガラスからの成分物質の流出を阻止するための保護膜(下地膜)となる酸化窒化珪素膜である。結晶化ガラス501の表面側には活性層503~505が形成され、ゲイト絶縁膜を成膜した後、ゲイト電極506~508が形成される。

【0170】このゲイト電極506~508をマスクとしてドライエッチングを行うことでゲイト電極直下にゲイト絶縁膜509~511が残存する。

【0171】本実施例の最も重要な構成は、ゲイト絶縁膜として減圧熱CVD法により成膜した絶縁性珪素膜(本実施例では酸化窒化珪素膜)を用いる点にある。即ち、ゲイト絶縁膜も結晶化ガラス501の表面、裏面及び側面側の全ての面に成膜される点が特徴である。

【0172】従って、ゲイト絶縁膜(酸化窒化珪素膜)のエッチング工程が終了した時点(図5の状態)では基板の表面側はゲイト電極でマスクされた部分以外は完全に除去され、基板の裏面及び側面にはそのまま酸化窒化珪素膜512が残る。なお、側面に形成された酸化窒化珪素膜は条件によっては除去されてしまうが、側面は除去されてしまっても問題ない。

【0173】本実施例の構成を用いれば、後の工程で裏面及び側面が酸化窒化珪素膜をエッチングしうるエッチャント又はエッチングガスに曝されることがあっても結晶化ガラス501に直接成膜した酸化窒化珪素膜502を残すことができる。即ち、ガラス基板からの成分物質の流出を徹底的に阻止することが可能である。

【0174】〔実施例4〕実施例1ではゲイト電極としてN型導電性を呈する結晶性珪素膜を利用しているが、導電性を有する材料であればあらゆる材料を用いることができる。特に、直視用の液晶表示装置を作製する場合には、画素マトリクス回路の面積が大きくなるため配線抵抗の小さい材料を用いることが好ましい。

【0175】その様な場合には、ゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いることが望ましい。本実施例ではゲイト電極として2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0176】アルミニウムを主成分とする材料をゲイト電極として利用する場合には、本発明者らによる特開平7-135318号公報に記載された技術を利用すると良い。同公報では実施例1で用いたサイドウォールの代わりにゲイト電極を陽極酸化して得られる陽極酸化膜を利用して



【0177】本実施例の様にゲイト電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いることで配線抵抗の小さいゲイト配線を形成することが可能となり、応答速度の速いアクティブマトリクス基板を作製することができる。

【0178】なお、本実施例は実施例1〜3の構成と組み合わせることが可能である。

【0179】〔実施例5〕実施例1において、活性層中にTFTのしきい値電圧( $V_{th}$ )を制御するための不純物元素を添加することは有効である。非晶質半導体薄膜の成膜時に添加しうことは既に述べたが、少なくともチャンネル形成領域にさえ添加されていれば良いので、ゲイト電極の形成前であれば何時添加しても良い。

【0180】成膜時以外に添加する場合には、イオンインプランテーション法またはプラズマドーピング法による添加、気相中からの拡散による添加、固相中からの拡散による添加などの手段を用いることができる。これらの手段は、例えばNTFTとPTFTとで添加する不純物を異ならせるといった具合に選択的な添加が可能であるため有効である。

【0181】また、添加する不純物元素としては、 $V_{th}$ をプラス側に移動させるのであれば13族元素(ボロン、ガリウム又はインジウム)を用い、マイナス側に移動させるのであれば15元素(リン、砒素又はアンチモン)を用いる。

【0182】なお、本実施例は実施例1〜4の構成と組み合わせることが可能である。

【0183】〔実施例6〕実施例1〜5はトップゲイト型TFT(プレーナ型TFT)を例にとって説明してきたが、本願発明の構成はボトムゲイト型TFT(代表的には逆スタガ型TFT)に適用することもできる。本実施例では、本願発明の構成を逆スタガ型TFTに対して適用した場合の例を図6に示す。

【0184】図6において、601は結晶化ガラス、602は非晶質珪素膜を熱酸化して得られた酸化珪素膜であり、基板全面を包む様に形成される。また、603はタンタル(Ta)と窒化タンタル(TaN)とを積層したゲイト電極である。

【0185】本実施例の場合、活性層に対する触媒元素のゲッタリング処理がゲイト電極603の形成後に形成されるので、ゲイト電極603としては700℃を超える加熱処理に耐えうるだけの耐熱性を有する材料を用いる。その様な材料としては、タンタル以外にもクロム、タングステン、モリブデン、導電性を呈する結晶性珪素膜が挙げられる。

【0186】次に、ゲイト電極603の上にはゲイト絶縁膜604が形成される。本実施例では減圧熱CVD法により酸化窒化珪素膜を成膜してゲイト絶縁膜としている。そのため、基板の表面側のみならず裏面及び側面にもゲイト絶縁膜604が形成され、基板全体を包み込

でいる。

【0187】ゲイト絶縁膜604の上にはソース領域605、ドレイン領域606、低濃度不純物領域(LDD領域)607、チャンネル形成領域608で構成される活性層が形成されている。本実施例の場合、ソース/ドレイン領域はイオンインプランテーション法またはプラズマドーピング法により形成している。勿論、気相法や固相法を用いた拡散による添加を行ってもよい。

【0188】また、609で示されるのはチャンネル保護膜であるが、これは絶縁性珪素膜で構成される。本実施例の場合、チャンネル保護膜609はチャンネル形成領域608を保護するだけでなく、ソース/ドレイン領域と低濃度不純物領域とを形成するためのドーピングマスクとしても活用する。

【0189】具体的には、最初、低濃度不純物領域及びチャンネル形成領域となる部分の上にチャンネル保護膜を形成し、そのチャンネル保護膜をマスクとして不純物を添加することによりソース/ドレイン領域を形成する。その後、チャンネル保護膜をチャンネル形成領域となる部分の上のみ残して除去し、次の不純物添加によって低濃度不純物領域を形成する。

【0190】そして、活性層への不純物添加が終了したら、ファーネスアニール、レーザーアニール、ランプアニールのいずれかの手段を用いるか、それらを併用して熱アニール工程を行い、不純物の活性化を行う。その際、不純物添加工程の後もそのまま残されたチャンネル保護膜609は、ソース/ドレイン領域または低濃度不純物領域からチャンネル形成領域へと不純物が拡散するのを防ぐ効果を持つ。

【0191】次に、層間絶縁膜610として、2 $\mu$ m厚のアクリル膜が形成される。勿論、ポリイミド等の他の有機性樹脂膜であっても良い。この場合、チャンネル保護膜609はアクリル膜でなる層間絶縁膜610とチャンネル形成領域608とが直接接触するのを防ぎ、有機汚染によるTFT特性の変化を阻止することができる。

【0192】そして、層間絶縁膜610に対してコンタクトホールを形成してアルミニウムを主成分とする材料からなるソース電極611とドレイン電極612とを形成し、最後に水素化を行って図6に示す様な逆スタガ型TFTが完成する。

【0193】なお、本実施例では単体の逆スタガ型TFTの作製工程しか説明していないが、本実施例の構造の逆スタガ型TFTでCMOS回路を構成したり、画素マトリクス回路を構成したりすることは実施例1の作製工程を参考にすれば容易であるので説明は省略する。

【0194】従って、本実施例に示した様な構造の逆スタガ型TFTを用いてアクティブマトリクス基板を完成させ、アクティブマトリクス型液晶表示装置を実現することは容易である。

【0195】〔実施例7〕図1(E)に示す工程では触

媒元素のゲッターリング手段としてハロゲン元素を含む雰囲気中での加熱処理を行っているが、本実施例では別の手段によって触媒元素を除去する場合の例について図7を用いて説明する。

【0196】まず、図1(A)～(D)までの工程を終了したら、マスク絶縁膜105を再度パターニングして新たな開口部701を形成する。(図7(A))

【0197】次に、15族から選ばれた元素(本実施例ではリン)を添加する。この時の添加量は  $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^2$  で良い。また、ここではリンの添加手段としてプラズマドーピング法を利用している。

【0198】このリンの添加工程によって、開口部701で露出した領域には高濃度のリンが添加される。本明細書ではこの領域702をゲッターリング領域と呼ぶ。また、マスク絶縁膜105でマスクされてリンが添加されなかった領域703を被ゲッターリング領域と呼ぶ。(図7(B))

【0199】次に、図7(C)に示す様に、600～800℃の温度範囲で2～24時間の加熱処理を行い、被ゲッターリング領域703中に含まれる触媒元素をゲッターリング領域702中へと移動させる。これはリンによる金属元素のゲッターリング効果を利用した現象である。なお、処理温度が600℃未満ではゲッターリング能力が著しく低下してしまい、800℃を超えるとリンが被ゲッターリング領域703へ逆拡散してしまうので好ましくない。

【0200】以上の様にして、触媒元素をゲッターリング領域702へと捕獲することで処理後の被ゲッターリング領域704中に残存する触媒元素の濃度は  $5 \times 10^{17} \text{ atoms/cm}^2$  以下にまで低減される。後は、活性層を形成する際にゲッターリング領域を完全にエッチングして除去してしまえば良い。

【0201】なお、本実施例の構成は実施例1～6の全ての構成と組み合わせることが可能である。また、本実施例の作製工程を利用しても、前述のCGS膜を形成することができる。

【0202】〔実施例8〕本実施例では、図3(C)に示したアクティブマトリクス基板の画素構造についてより具体的に説明する。画素TFTの断面構造を図15(A)に、その上面図を図15(B)に示す。図15(A)、(B)において、21は活性層、22はゲイト線、23はソース線、24はドレイン電極、25はブラックマスク、26はドレイン電極24と画素電極27とを接続するためのコンタクトホールである。

【0203】本実施例の特徴は、画素TFTの上方においてドレイン電極24とブラックマスク25との間で補助容量を形成する点にある。

【0204】また、画素TFTの構造を上面から見た図を図15(B)に示す。なお、図15(A)は図15(B)をA-A'で切断した時の断面図に相当する。また、図15(A)と図15(B)には共通の符号を用い

ている。

【0205】この様に、ゲイト線23と重なる様な配置でドレイン電極25が形成され、誘電体28を挟んで対向するブラックマスク25との間に補助容量が形成されている。なお、本実施例ではドレイン電極25としてチタン膜をアルミニウム膜で挟んだ三層構造を採用している。

【0206】本実施例の場合、ドレイン電極25を形成した後で窒化珪素膜/酸化珪素膜/アクリル膜の三層構造でなる層間絶縁膜を形成し、その上にブラックマスク25を形成する。

【0207】この時、ブラックマスク25の形成前に、後に補助容量となる領域のアクリル膜のみを除去して開口部を形成しておく。すると、開口部の底には酸化珪素膜と窒化珪素膜しか残らず、この二層構造でなる絶縁層が補助容量の誘電体28として機能するのである。

【0208】〔実施例9〕実施例1～8に示した構成を有するアクティブマトリクス基板を用い、液晶表示装置を構成した例を図8に示す。図8は液晶表示装置の本体に相当する部位であり、液晶モジュールとも呼ばれる。

【0209】図8において、801は結晶化ガラス、802は結晶化ガラスの全面を包む様にして形成された絶縁性珪素膜である。大版基板から多面取りによって複数枚のアクティブマトリクス基板を切り出す場合には切断面となる側面には絶縁性珪素膜が存在しないが、それ以外の側面には絶縁性珪素膜が残るとというのが本願発明の特徴である。勿論、アクティブマトリクス基板として完成してしまっているため絶縁性珪素膜で保護されていなくても成分物質が流出する心配はない。

【0210】そして、この様な構成の基板上に実質的に結晶粒界が存在しないという特徴を有する半導体薄膜をもって複数のTFTが形成されている。これらのTFTは基板上に画素マトリクス回路803、ゲイト側駆動回路804、ソース側駆動回路805、ロジック回路806を構成する。その様なアクティブマトリクス基板に対して対向基板807が貼り合わされる。アクティブマトリクス基板と対向基板807の間には液晶層(図示せず)が挟持される。

【0211】また、図8に示す構成では、アクティブマトリクス基板の側面と対向基板の側面とをある一辺を除いて全て揃えることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。また、前述の一辺では、対向基板の一部を除去してアクティブマトリクス基板の一部を露出させ、そこにFPC(フレキシブル・プリント・サーキット)808を取り付ける。ここには必要に応じてICチップ(単結晶シリコン上に形成されたMOSFETで構成される半導体回路)を搭載しても構わない。

【0212】本願発明で利用する半導体薄膜を活性層としたTFTは極めて高い動作速度を有しているため、数

百MHz〜数GHzの高周波数で駆動する信号処理回路を画素マトリクス回路と同一の基板上に一体形成することが可能である。即ち、図8に示す液晶モジュールはシステム・オン・パネルを具現化したものである。

【0213】なお、本実施例では本願発明を液晶表示装置に適用した場合について記載しているが、アクティブマトリクス型EL（エレクトロルミネッセンス）表示装置などを構成することも可能である。また、光電変換層を具備したイメージセンサ等を同一基板上に形成することも可能である。

【0214】なお、上述の液晶表示装置、EL表示装置及びイメージセンサの様に光学信号を電気信号に変換する、又は電気信号を光学信号に変換する機能を有する装置を電気光学装置と定義する。本願発明は絶縁表面を有する基板上に半導体薄膜を利用して形成する電気光学装置ならば全てに適用することができる。

【0215】〔実施例10〕本願発明は実施例9に示した様な電気光学装置だけでなく、機能回路を集積化した薄膜集積回路（または半導体回路）を構成することもできる。例えば、マイクロプロセッサ等の演算回路や携帯機器用の高周波回路（MMIC：マイクロウェーブ・モジュール・IC）などを構成することもできる。

【0216】さらには、薄膜を用いるTFTの利点を生かして三次元構造の半導体回路を構成し、超高密度に集積化されたVLSI回路を構成することも可能である。この様に、本願発明のTFTを用いて非常に機能性に富んだ半導体回路を構成することが可能である。なお、本明細書中において、半導体回路とは半導体特性を利用して電気信号の制御、変換を行う電気回路と定義する。

【0217】〔実施例11〕本実施例では、実施例9や実施例10に示された電気光学装置や半導体回路を搭載した電子機器（応用製品）の一例を図9に示す。なお、電子機器とは半導体回路および／または電気光学装置を搭載した製品と定義する。

【0218】本願発明を適用する電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、PHS等）などが挙げられる。

【0219】図9（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声出力部2003、表示装置2004等に適用することができる。

【0220】図9（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができ

る。

【0221】図9（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0222】図9（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本願発明は表示装置2302に適用することができる。

【0223】図9（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本願発明は表示装置2403に適用することができる。

【0224】図9（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本願発明は表示装置2503に適用することができる。

【0225】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用できる。

【0226】

【発明の効果】本願発明では安価で大版化の可能な結晶化ガラスを使用し、且つ、結晶化ガラスを安全に（汚染の心配なく）活用するためにガラスの少なくとも表面及び裏面（好ましくは全面）を絶縁性珪素膜で保護するといった構成を採用している。

【0227】そして、その上に結晶粒界の整合性に優れた（実質的に結晶粒界の存在しない）特異な結晶構造を有する半導体薄膜を用いてTFTを作製することでシステム・オン・パネルを実現し、高性能な電気光学装置や半導体回路、さらにはそれらを搭載した電子機器を低価格で提供することができる。

【図面の簡単な説明】

【図1】 半導体薄膜の作製工程を示す図。

【図2】 電子回折パターンを示す写真。

【図3】 薄膜トランジスタの作製工程を示す図。

【図4】 薄膜トランジスタの作製工程を示す図。

【図5】 薄膜トランジスタの構成を示す図。

【図6】 薄膜トランジスタの構成を示す図。

【図7】 薄膜トランジスタの作製工程を示す図。

【図8】 液晶モジュールの構成を示す図。

【図9】 電子機器の構成を示す図。

【図10】 CGS膜の結晶粒の格子綫を示すTEM

写真。

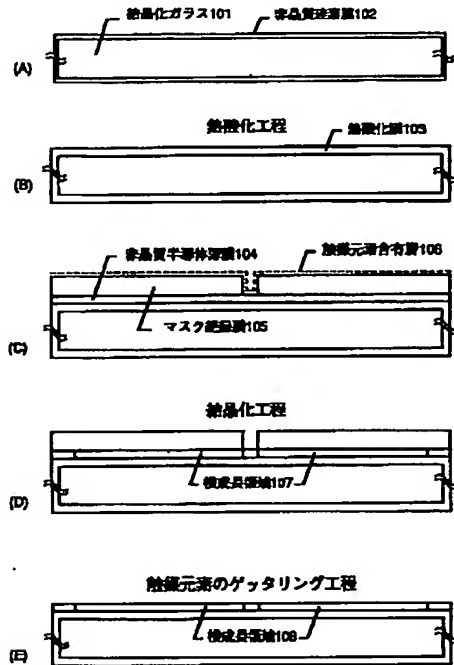
【図11】 CGS膜のX線回折の結果を示す図。

31

【図12】 CGS膜の粒内欠陥の様子を示すTEM写真。

【図13】 欠陥の生成及び消滅に関するモデルを説明するための図。

【図1】

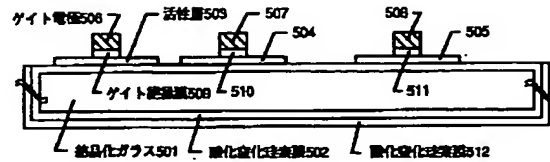


32

【図14】 CGS膜の暗視野像を示すTEM写真。

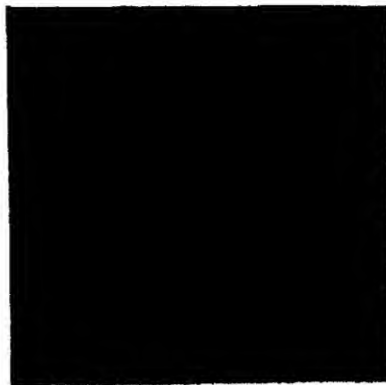
【図15】 画素TFTの上面及び断面構造を示す図。

【図5】

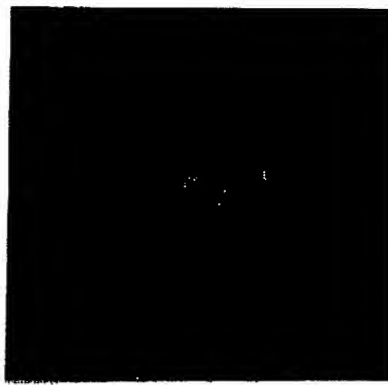


【図2】

図面代用写真

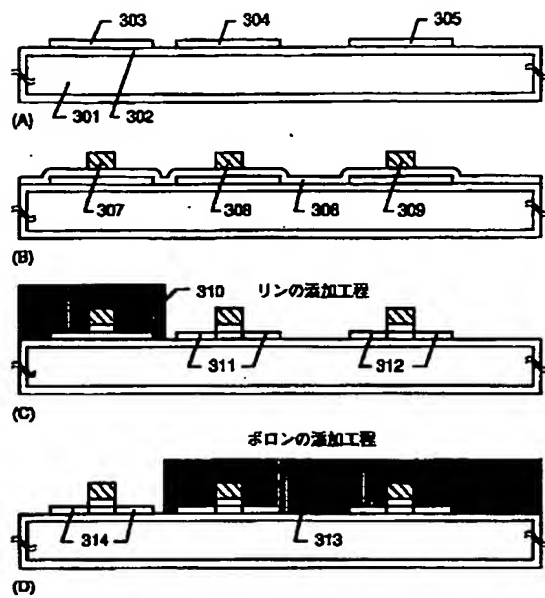


(A)



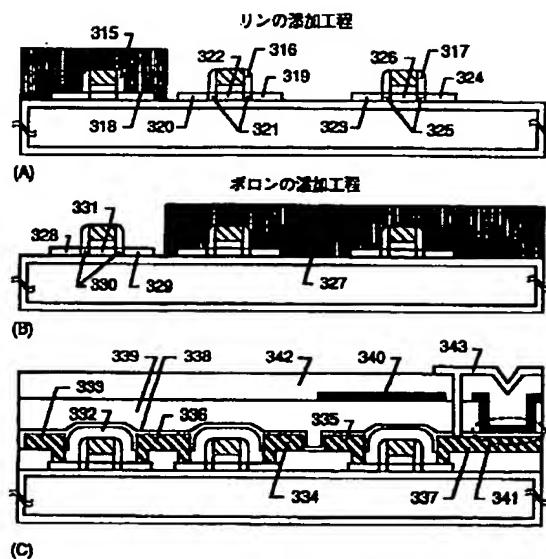
(B)

【図3】



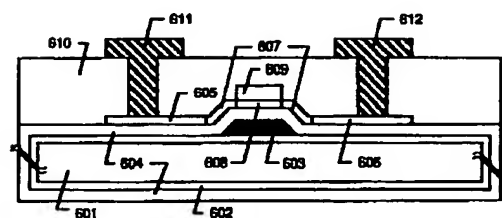
- |               |                        |
|---------------|------------------------|
| 301 結晶化ガラス    | 310, 313 レジストマスク       |
| 302 絶縁性硅素膜    | 311, 312 低温度不純物領域 (リン) |
| 303~305 活性層   | 314 低温度不純物領域 (ボロン)     |
| 306 ゲート絶縁膜    |                        |
| 307~309 ゲート電極 |                        |

【図4】



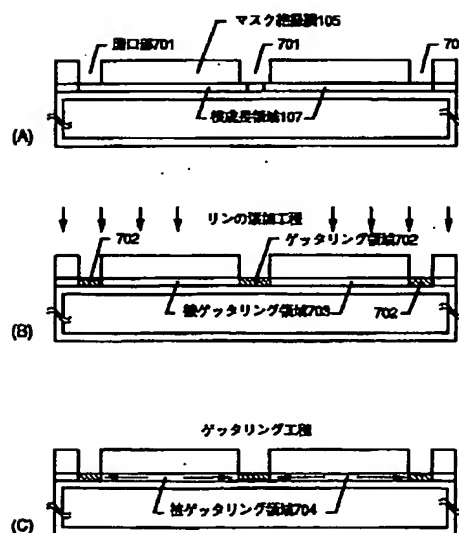
- |                        |                 |
|------------------------|-----------------|
| 315~317 サイドウォール        | 336, 337 ドレイン電極 |
| 318, 327 レジストマスク       | 338 酸化硅素膜       |
| 319, 323, 328 ソース領域    | 339 ポリイミド膜      |
| 320, 324, 329 ドレイン領域   | 340 ブラックマスク     |
| 321, 325, 330 低温度不純物領域 | 341 複射容量        |
| 322, 326, 331 チャネル形成領域 | 342 第3の層間絶縁膜    |
| 332 第1の層間絶縁膜           | 343 側溝電極        |
| 333, 334, 335 ソース電極    |                 |

【図6】

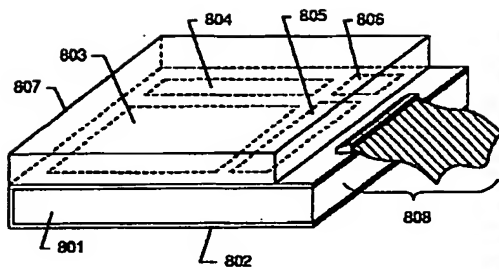


- |            |                      |
|------------|----------------------|
| 601 結晶化ガラス | 607 低温度不純物領域 (LDD領域) |
| 602 酸化硅素膜  | 608 チャネル形成領域         |
| 603 ゲート電極  | 609 チャネル保護膜          |
| 604 ゲート絶縁膜 | 610 層間絶縁膜            |
| 605 ソース領域  | 611 ソース電極            |
| 606 ドレイン領域 | 612 ドレイン電極           |

【図7】



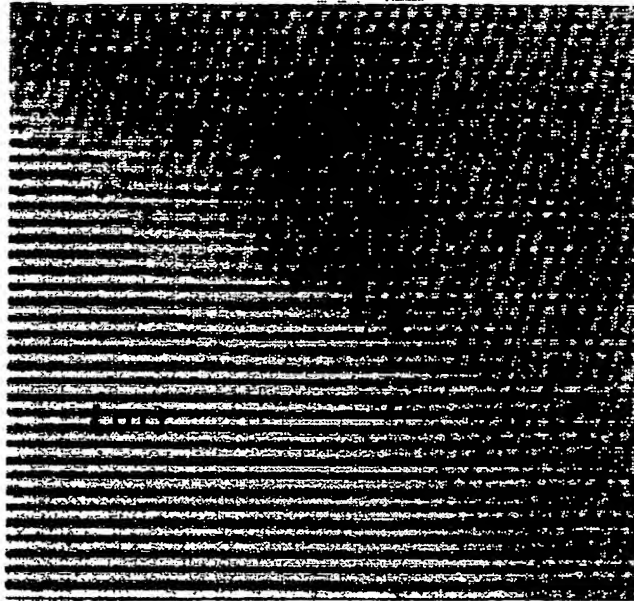
【図8】



- |               |             |
|---------------|-------------|
| 801 結晶化ガラス    | 805 ソース駆動回路 |
| 802 絶縁性硅素膜    | 806 ロジック回路  |
| 803 画素マトリクス回路 | 807 対向基板    |
| 804 ゲート駆動回路   | 808 FPC     |

【図10】

図面代用写真

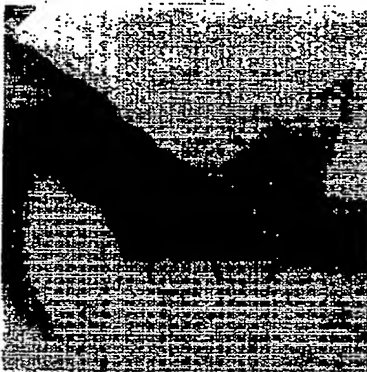


(A)

5nm

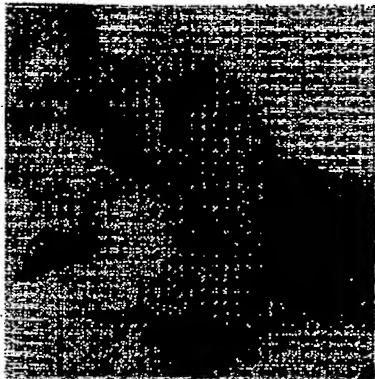
【図12】

図面代用写真



(A)

0.1 μm



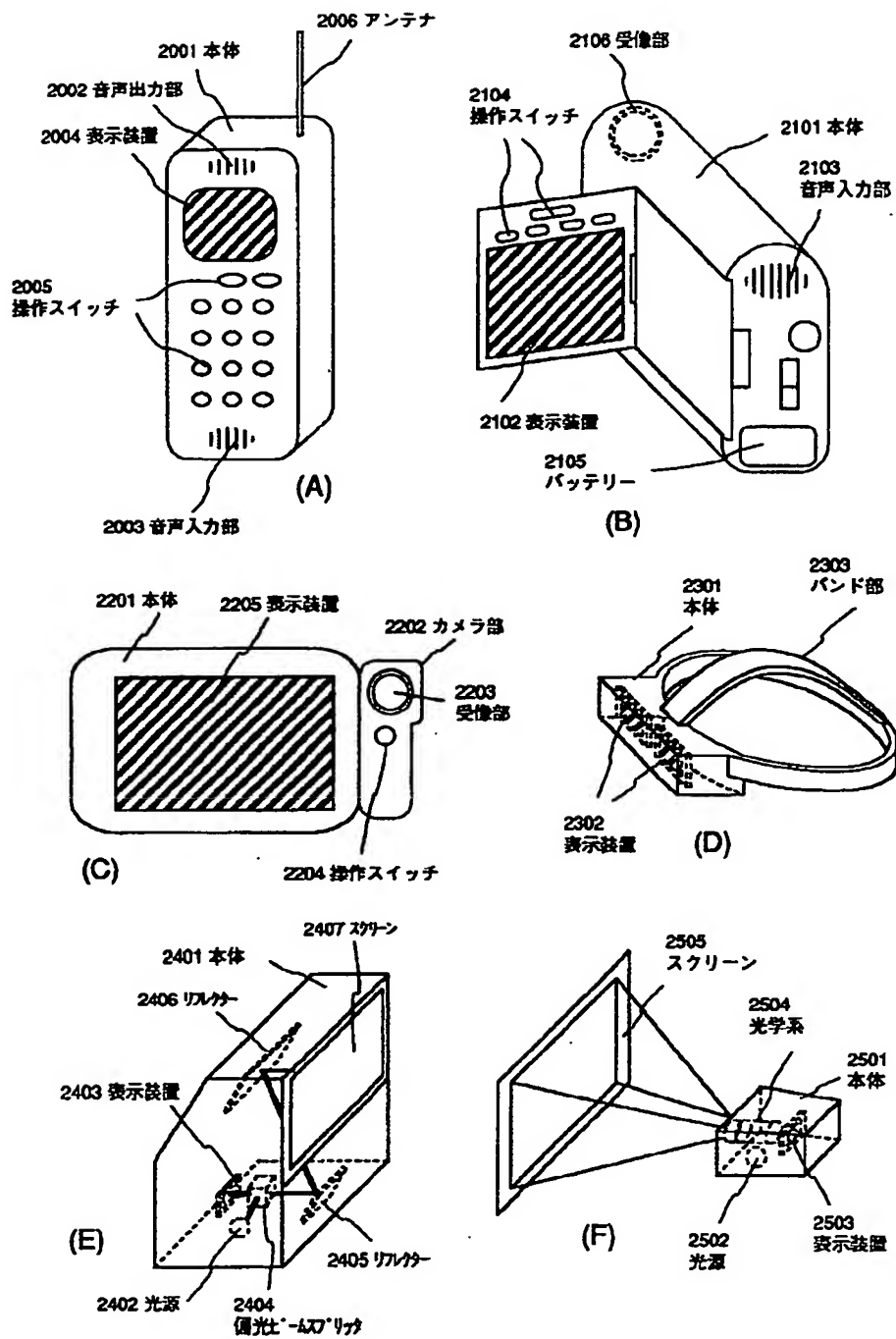
(B)

0.1 μm

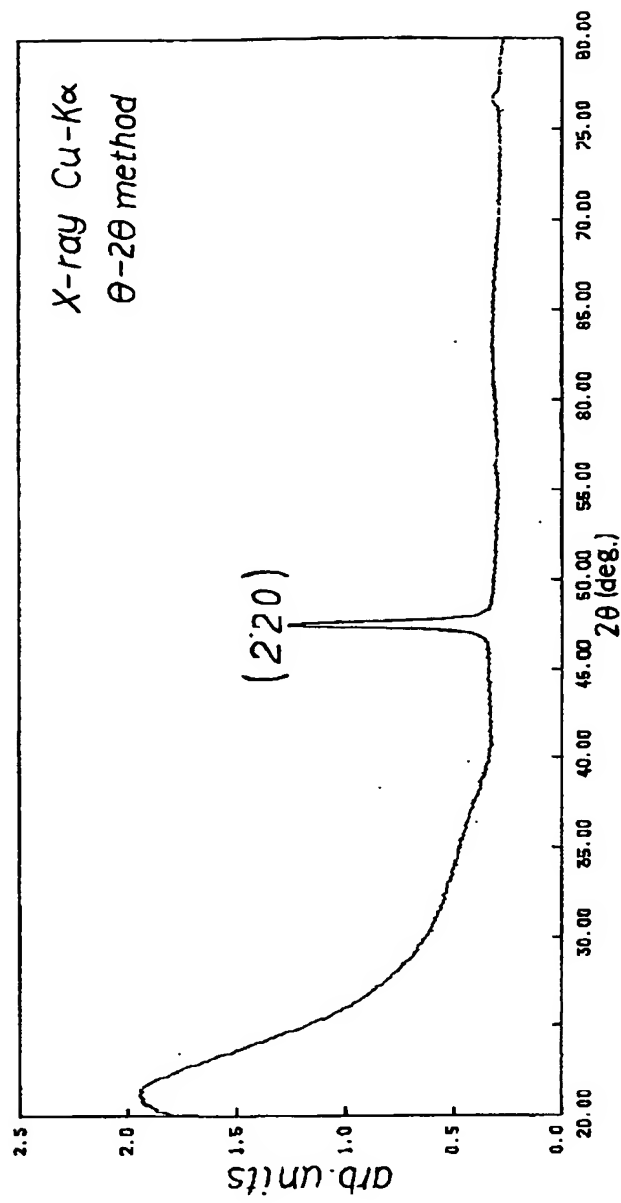
(B)

5nm

【図9】

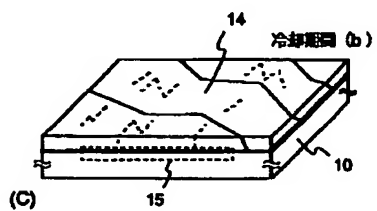
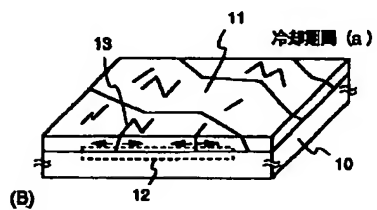
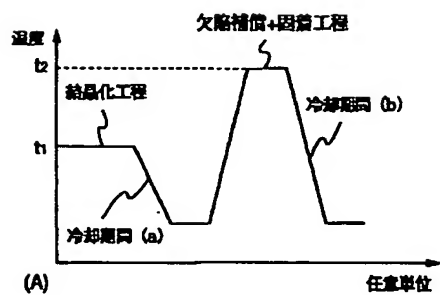


【図11】

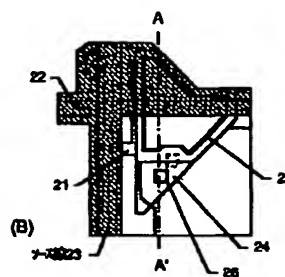
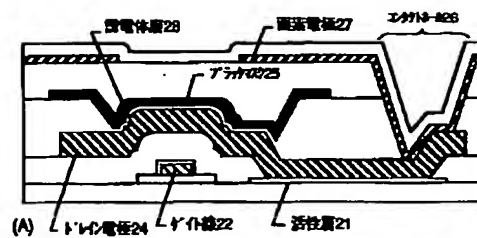




【図13】



【図15】



【図14】

図面代用写真



(A)

2  $\mu$ m



(B)

2  $\mu$ m